

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-176579
 (43)Date of publication of application : 14.07.1995

(51)Int.CI. H01L 21/66
 G01R 31/28

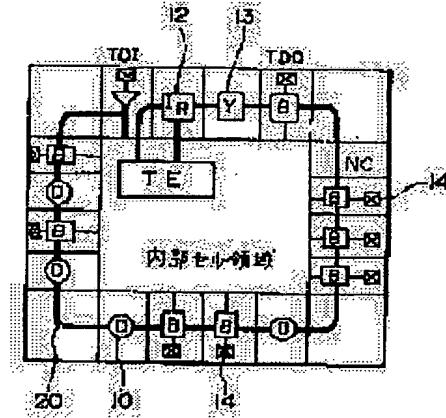
(21)Application number : 05-317959 (71)Applicant : KAWASAKI STEEL CORP
 (22)Date of filing : 17.12.1993 (72)Inventor : HORIGUCHI HIROSHI

(54) JTAG SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To provide a gate-array semiconductor integrated circuit in which an area in an inner cell region which is occupied by a circuit realizing a JTAG function is reduced.

CONSTITUTION: In a gate-array semiconductor integrated circuit, a group of resistors which realize a JTAG function are provided on the unused I/O cells in an I/O cell region. That is, ID code registers 10, an instruction register 12 and a bypass register 13 are provided on the unused I/O cells in the I/O cell region. As a result, a circuit which is provided in an internal cell region in order to realize the JTAG function is a control circuit TE only, so that the internal cell region can be used efficiently.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-176579

(43)公開日 平成7年(1995)7月14日

(51)Int.Cl.⁶
H 01 L 21/66
G 01 R 31/28

識別記号 庁内整理番号
F 7630-4M

F I

技術表示箇所
G
V

G 01 R 31/28

審査請求 未請求 請求項の数3 O L (全5頁)

(21)出願番号 特願平5-317959

(22)出願日 平成5年(1993)12月17日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28
号

(72)発明者 堀口 浩

東京都千代田区内幸町2-2-3 日比谷
国際ビル 川崎製鉄株式会社東京本社内

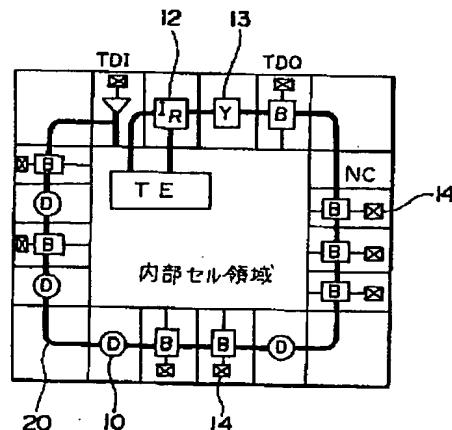
(74)代理人 弁理士 吉田 研二 (外2名)

(54)【発明の名称】 JTAG半導体集積回路

(57)【要約】

【目的】 JTAG機能を有するゲートアレイ半導体集積回路において、JTAG機能を実現する回路が内部セル領域に占める面積を減少させたゲートアレイ半導体集積回路を提供する。

【構成】 ゲートアレイ半導体集積回路において、JTAG機能を実現するレジスタ群を、I/Oセル領域における未使用のI/Oセル上に配置した。すなわち、IDコードレジスタ10と、インストラクションレジスタ12と、バイパスレジスタ13とを、I/Oセル領域における未使用のI/Oセル上に配置した。その結果、内部セル領域において、JTAG機能の実現のために設けられる回路は制御回路TEのみとなり、内部セル領域の効率的な使用が可能となる。



■ : バウンダリ・スキャンレジスタ

○ : IDコード レジスタ

■○ : インストラクションレジスタ

■Y : バイパス レジスタ

■× : 通常入出力パッド

【特許請求の範囲】

【請求項1】 J TAG機能を有するゲートアレイ半導体集積回路において、

I/Oセル領域の未使用セルにIDコードレジスタを設けたことを特徴とするJ TAG半導体集積回路。

【請求項2】 請求項1記載のJ TAG半導体集積回路において、更に、

I/Oセル領域の未使用セルにバイパスレジスタを設けたことを特徴とするJ TAG半導体集積回路。

【請求項3】 請求項1記載のJ TAG半導体集積回路において、更に、

I/Oセル領域の未使用セルにインストラクションレジスタを設けたことを特徴とするJ TAG半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、プリント回路基板のテスト容易化手法の一つであるバウンダリスキャン (Boundary Scan) の機能を備えた半導体集積回路に関する。特に、いわゆるJ TAG機能を有するゲートアレイ半導体集積回路に関する。

【0002】

【從來の技術】 近年、プリント回路基板のテスト容易化手法として、バウンダリスキャン手法が広く用いられつつある。

【0003】 このバウンダリスキャンに関して、J TAG (Joint Test Action Group) という民間団体が、その標準化を進めている。その目的は、ICの設計が複雑になるに伴いますます困難になってきたボード・テストを容易にすることである。J TAGの提案するバウンダリスキャンは、標準ICとASICとの両方に適用可能である。

【0004】 このJ TAGの提案に準拠したICの構成ブロック図が図4に示されている。図4に示されているように、このICは、スキャン可能なインストラクションレジスタと、一連のスキャン可能なバウンダリスキャンレジスタ及びバイパスレジスタとを備えている。

【0005】 バウンダリスキャンレジスタは、このICの入出力端子ごとに1ビットずつ設けられているレジスタであって、シリアルに接続されているレジスタである。

【0006】 バイパスレジスタは、前記バウンダリスキャンレジスタをスキップするのに用いられるレジスタである。このようにバウンダリスキャンレジスタをスキップすることにより、そのIC内のバウンダリスキャンレジスタをパスした試験が可能となる。

【0007】 インストラクションレジスタは、このJ TAG機能の制御の指定を行う。すなわちテスト論理のリセット、テスト実行モード/待機モードの切替等を指令する命令コードを維持する。

【0008】 IDコードレジスタは、J TAG機能においては、オプションとして設けられているものであり、そのICの識別コードを保持するものである。このIDコードレジスタの内容は、そのICが製造されたときに定まり、ユーザがその値を書き直すことはできない。

【0009】 バウンダリスキャンと呼ばれるボードテスト手法は、簡単に言えば、テストする部品の各端子にソフトレジスタ (バウンダリスキャンレジスタ) を1段ずつ配備し、スキャンテストの原理によって部品端子に現れる信号を捕らえたり、保持したりする方法をいう。J TAGは、このバウンダリスキャンの標準化を定め、この標準に基づいた部品であるかぎり、同一のボード上において一つの長いバウンダリスキャンチェーンを、それらのICに含まれるバウンダリスキャンレジスタを用いて構成でき、このボード上におけるバウンダリスキャン手法を容易に実現することを目標としている。

【0010】 なお、この標準化は、将来的にはボードレベルのみならず、IC内部やシステムレベルのテストにも適用できるように拡張することが予定されている。

【0011】

【発明が解決しようとする課題】 従来のゲートアレイ半導体集積回路においては、このJ TAG機能を実現しようとする場合、上記のバウンダリスキャンレジスタ、バイパスレジスタ、インストラクションレジスタ、IDコードレジスタ等は、いわゆる内部セル領域に配置されていた。従って、従来のゲートアレイ半導体集積回路においては、J TAGの機能を搭載するために、内部セル領域の中で大きな面積を必要とするという問題があった。

【0012】 本発明は、上記課題に鑑みなされたものであり、その目的はI/Oセル領域の未使用のI/Oセルに、上記IDコードレジスタ等を配置することにより、内部セル領域において、このJ TAG機能を実現するための回路が占める面積を少なくすることができるゲートアレイ半導体集積回路を提供することである。

【0013】

【課題を解決するための手段】 上記課題を解決するため、第一の本発明は、J TAG機能を有するゲートアレイ半導体集積回路において、I/Oセル領域の未使用セルにIDコードレジスタを設けたことを特徴とするJ TAG半導体集積回路である。

【0014】 上記課題を解決するために、第二の本発明は、上記第一の本発明のJ TAG半導体集積回路において、更に、I/Oセル領域の未使用セルにバイパスレジスタを設けたことを特徴とするJ TAG半導体集積回路である。

【0015】 上記課題を解決するために、第三の本発明は、上記第一の本発明のJ TAG半導体集積回路において、更に、I/Oセル領域の未使用セルにインストラクションレジスタを設けたことを特徴とするJ TAG半導体集積回路である。

【0016】

【作用】第1の本発明に係るIDコードレジスタは、I/Oセル領域における未使用セルに設けられている。従って、IDコードレジスタは、一般的の回路が設けられている内部セル領域の面積を消費することがない。

【0017】第2の本発明におけるバイパスレジスタは、I/Oセル領域に存在する未使用セルに設けられている。従って、ゲートアレイの内部セル領域の面積を無駄に消費してしまうことがない。

【0018】第3の本発明のインストラクションレジスタは、上述したIDコードレジスタや、バイパスレジスタ等と同様に、I/Oセル領域の未使用セルに設けられている。従って、このゲートアレイ半導体集積回路の内部セル領域の面積を消費することがない。

【0019】

【実施例】以下、本発明の好適な実施例を図面に基づいて説明する。

【0020】図1には、本発明の好適な実施例であるゲートアレイ半導体集積回路の平面構成図が示されている。図1に示されているように、本実施例において特徴的なことは、JTAG機能を実現するIDコードレジスタ10や、インストラクションレジスタ12等が、未使用のいわゆるI/Oセルに設けられていることである。図1においては、本実施例において特徴的なこのような構成のみを示し、内部セル領域に設けられているはずの各種回路は省略され図示されていない。

【0021】図1に示されているように、外部との信号の入出力を行うI/Oセル領域には、いわゆる通常入出力パッド14を備えたI/Oセルが多数含まれている。この、I/Oセル領域を構成する複数のI/Oセルは、一般にそのICの入出力端子よりはるかに多く設けられている。そして、実際に入出力に使われるI/Oセルは、その入出力端子に近いものが選択される。従って、一般には、I/Oセル領域には使用されていない未使用的I/Oセルが多数含まれている。

【0022】本実施例において特徴的なことは、この未使用的I/Oセルに対して、IDコードレジスタ10や、インストラクションレジスタ12等を設けたことである。図1に示されているように、通常入出力パッド14が備えられている、すなわち使用されているI/Oセルにおいては、バウンダリスキャンレジスタが設けられることもある。これは、バウンダリスキャンレジスタは、各入出力端子ごとに設けられるものだからである。そして、このバウンダリスキャンレジスタも含めて、IDコードレジスタ10や、インストラクションレジスタ12、バイパスレジスタ13に沿ってバス20が配設されている。このバス20は、バウンダリスキャンレジスタ用の3本の信号線と、1本のクロック信号線と1本のシフト制御信号線とIDコードレジスタ10のデータ線1本と、インストラクションレジスタ12用の信号線5

本と、バイパスレジスタ13用のデータ線1本と、から構成されている。

【0023】バウンダリスキャンレジスタ用の初期値データや、インストラクションレジスタ12にセットされる命令コード等は、図1に示されているように、データ入力端子TDIから入力される。本実施例におけるゲートアレイ半導体集積回路においては、データが出力されるデータ出力端子TDOも設けられており、このデータ出力端子TDOは、同じボード上にある他のデバイスに備えられているデータ入力端子TDIと接続することにより、同一ボード上の各デバイスを結んだスキャナパスを構成することができ、ボード全体のテストを容易に行うことが可能となる。

【0024】本実施例においては、テスト制御回路(TE)は、その回路規模が大きいため、I/Oセル内には設けられてはいない。そのため、本実施例においては、従来と同じように内部セル領域にテスト制御回路(TE)を設けている。なお、本実施例においては上述したバス20の端部にこのテスト制御回路(TE)が接続されているが、例えばバス20の途中に接続されていても構わない。

【0025】本実施例においては、このようにIDコードレジスタ10や、インストラクションレジスタ12及びバイパスレジスタ13を、未使用のI/Oセルに設けたので、内部セル領域に対して、JTAG機能を実現するための回路が占める面積を大幅に減少させることができある。

【0026】通常のゲートアレイ半導体集積回路においては、各I/Oセルにおいてはレジスタ換算でおよそ230～3ビットのレジスタを設けることが可能である。例えば、インストラクションレジスタ12は、2ビットから4ビットの構成とされるのが通常である。従って、図1においては、このインストラクションレジスタ12は1個のI/Oセルに設けられているように示したが、インストラクションレジスタ12が4ビットを越えるビット数である場合には、複数のI/Oセルに設けることが好適である。

【0027】一方、IDコードレジスタ10は、通常32ビットであるため、1個のI/Oセルに設けることはできない。本実施例においても、図1に示されているように、複数のI/Oセルに分割されて設けられている。例えば、1個のI/Oセルに2ビットのレジスタを含めるものとすれば、IDコードレジスタ10は16個のI/Oセル上にレジスタを設けることにより構成される。なお、バイパスレジスタ13は、1ビットのレジスタから構成されるため、1個のI/Oセル上に設けることが可能である。

【0028】図2には、バイパスレジスタ13、インストラクションレジスタ12、又はIDコードレジスタ10が備えられたI/Oセルの平面構成図が示されてい

る。図2に示されるように、バイパスレジスタ13等を構成するレジスタ30は、例えばバイパスレジスタ13用のデータ線32の上に設けられ、この1本のデータ線32と接続される。また、このレジスタ30には、所定のコントロール信号線34が接続されている。なお、図1に示されているように、全てのデータ線は、全てのI/Oセルを通過するバス構造を成しているため、図2に示されているI/Oセルにおいても他のデータ線が配設されている。例えば、図2に示されているレジスタ30が、バイパスレジスタ13である場合には、インストラクションレジスタ12用の信号線と、IDコードレジスタ10用のデータ線と、バウンダリスキャンレジスタ用のデータ線との合計9本のデータ線36がこのI/Oセル上に配設されているのである。

【0029】図3には、バウンダリスキャンレジスタが設けられているI/Oセルの平面構成図が示されている。図3に示されているI/Oセルが、図2に示されているI/Oセルと異なる点は、このI/Oセルが通常入出力パッド14と、それに接続されているバッファ回路38とを備えている点である。本実施例におけるバウンダリスキャンレジスタは、図3において示されているレジスタ40によって構成されている。このレジスタ40は、図2に示された例と同様に、バウンダリスキャンレジスタ用のデータ線42と接続されていると共に、バッファ回路38からの信号線にも接続されている。そして、このバッファ回路38から出力される信号線は、レジスタ40に接続されるだけでなく、通常のこのICの動作のために、所定の内部回路へ接続していることは言うまでもない。このような構成により、バウンダリスキャンレジスタを構成するレジスタ40は、所定のコントロール信号線44からの指示により、バッファ回路38から出力される信号すなわち通常入出力パッド14に現れる信号を監視することが可能である。

【0030】なお、図3において示されているバウンダリスキャンレジスタを構成するI/Oセルは、バッファ回路38の向きから理解されるように、外部からの信号を入力するためのセルである。そして、このバウンダリスキャンレジスタは、外部に対して信号を出力するセルにおいても備えられていることは従来と全く同様である。更に、信号を入力/出力するセル、すなわちいわゆる双方向のI/Oセルにおいてもバウンダリスキャンレジスタが備えられていることは言うまでもない。なお、このバウンダリスキャンレジスタを構成するレジスタ40を備えたI/Oセルにおいては、バウンダリスキャンレジスタ用のデータ線42の他に、バイパスレジスタ13、インストラクションレジスタ12、IDコードレジ

スタ10用の7本のデータ線46が配設されている。

【0031】このように、本実施例によれば、JTAG機能を実現する回路のほとんどをゲートアレイ半導体集積回路の周辺部のI/Oセル領域における未使用のI/Oセルの上に設けたので、内部セル領域を利用する面積が少なくなる。

【0032】本実施例においては、内部セル領域に残っているJTAG機能のための回路は、制御回路TEだけである。この結果、本実施例によれば、JTAG機能を実現する回路の大部分を占めるレジスタ群を、I/Oセル領域に配置することにより、内部セル領域を占有してしまう面積を、従来の約1/5に削減することが可能となった。

【0033】

【発明の効果】以上述べたように、第1の本発明によれば、I/Oセル領域の未使用セルにIDコードレジスタを設けたので、JTAG機能を有しつつ内部セル領域の消費が少ないゲートアレイ半導体集積回路が実現可能である。

【0034】第2の本発明によれば、バイパスレジスタをもI/Oセル領域に設けたので、より内部セル領域の効率的な使用が可能なゲートアレイ半導体集積回路が得られる。

【0035】第3の本発明によれば、I/Oセル領域に、インストラクションレジスタをも設けたので、内部セル領域をより効率的に使用することが可能なゲートアレイ半導体集積回路が得られる。

【図面の簡単な説明】

【図1】本発明の好適な実施例であるゲートアレイ半導体集積回路の平面構成図である。

【図2】本発明の好適な実施例であるゲートアレイ半導体集積回路の未使用のI/Oセルであって、バイパスレジスタ13等が配置されているI/Oセルの平面構成図である。

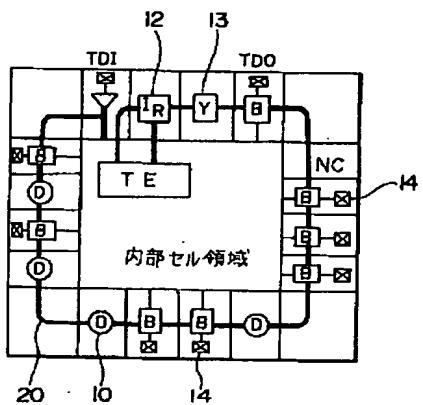
【図3】本実施例の好適な実施例であるゲートアレイ半導体集積回路のI/Oセルであって、バウンダリスキャンレジスタが設けられているI/Oセルの平面構成図である。

【図4】JTAGの提案に準拠したICの構成ブロック図である。

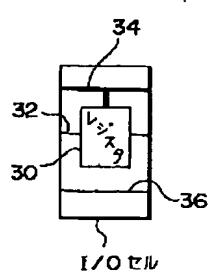
【符号の説明】

- 10 IDコードレジスタ
- 12 インストラクションレジスタ
- 13 バイパスレジスタ
- 14 通常入出力パッド
- 20 バス

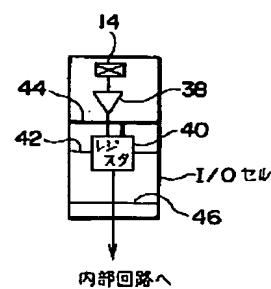
【図1】



【図2】



【図3】



- : バウンダリ・キャン・レジスタ
- ◎: IDコード・レジスタ
- : インストラクション・レジスタ
- ▽: バイパス・レジスタ
- : 通常入出力パッド

【図4】

